

CLIPPEDIMAGE= JP401037124A

PAT-NO: JP401037124A

DOCUMENT-IDENTIFIER: JP 01037124 A

TITLE: PULSE WIDTH MODULATING SIGNAL GENERATOR

PUBN-DATE: February 7, 1989

INVENTOR-INFORMATION:

NAME

KUBO, KENJI

WATANABE, MASAHIKO

OMAE, TSUTOMU

HANEI, HIROYUKI

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP62192570

APPL-DATE: August 3, 1987

INT-CL_(IPC): H03M001/82; H03K007/10

US-CL-CURRENT: 375/238,375/238

ABSTRACT:

PURPOSE: To generate a PWM signal of high resolution without using a high frequency clock neither a long bit length counter by subjecting the resolution of a PWM signal generating means of low resolution to pulse width modulation furthermore in the period of PWM command data generation.

CONSTITUTION: The clock pulse from a clock pulse generator 1 is counted by a counter 2, and the counted value of the counter 2 and PWM command data $D\langle SB \rangle 1 \langle /SB \rangle$ are compared with each other by a digital comparator 3. Output pulses of the counter 2 are counted by a counter 4, and the counted value of the counter 4 and PWM command data $D\langle SB \rangle 2 \langle /SB \rangle$ are compared with each other by a digital comparator 5. Outputs of these digital comparators 3 and 5 are processed by a NOR gate 7 and a D type flip flop 6, and a PWM signal where the resolution of the PWM signal outputted from the digital comparator 3 is enhanced is outputted.

COPYRIGHT: (C)1989,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-37124

⑬ Int.Cl.

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)2月7日

H 03 M 1/82
H 03 K 7/10

6832-5J
7328-5J

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 パルス幅変調信号発生装置

⑯ 特 願 昭62-192570

⑰ 出 願 昭62(1987)8月3日

⑱ 発 明 者 久 保 謙 二 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑱ 発 明 者 渡 辺 正 彦 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑱ 発 明 者 大 前 力 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑱ 発 明 者 羽 根 井 博 幸 千葉県習志野市東習志野7丁目1番1号 株式会社日立製作所習志野工場内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 武 願次郎 外1名

明 細 書

1. 発明の名称

パルス幅変調信号発生装置

2. 特許請求の範囲

1. 第1のパルス幅変調指令データに対応したパルス幅比を持つ第1のパルス幅変調信号を発生する第1のパルス幅変調信号発生手段と、第2のパルス幅変調指令データに対応したパルス幅比を持ち、前記第1のパルス幅変調信号より長い周期の第2のパルス幅変調信号を発生する第2のパルス幅変調信号発生手段とを備え、前記第2のパルス幅変調信号に応じて、前記第1のパルス幅変調信号のパルス幅比を変化させることを特徴とするパルス幅変調信号発生装置。
2. 前記第2のパルス幅変調信号の周期を、パルス幅変調指令データの指令周期と同期させることを特徴とする特許請求の範囲第1項記載のパルス幅変調信号発生装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタルデータをパルス幅変調(Pulse Width Moduration、以下PWMという)信号に変換する装置に係り、特に、簡単な回路構成で高分解能のPWM信号を得ることを可能としたパルス幅変調信号発生装置に関する。

(従来の技術)

マイクロプロセッサ等を用いるデジタル制御装置において、その制御出力をアナログ値に変換する手段として、DA(Digital to Analog)変換器を用いる方法と、制御出力を該制御出力に対応したパルス幅比のPWM信号に変換し、そのPWM信号をレベル変換した後、低域通過フィルタにより高周波成分を除去する方法とが知られている。前記2つの方法のうち、PWM信号に変換する方法は、2値レベルの信号として情報を伝送できること、フォトカプラ等を用いて信号を絶縁できること等の特徴を有し、モータのデジタル制御装置における速度や駆動トルクの指令方式に用いる方法として適している。

このようなPWM回路としては、高分解能のク

ロックパルスをカウンタで計数し、その計数値と制御出力データとをディジタル比較器で比較することにより、パルス幅を決定する方法が用いられる。このとき、クロックパルスの周波数を f_{ck} 、制御出力データの分解を $1/N_c$ 、PWM信号の周波数を f_c とすると、

$$f_c = f_{ck} / N_c \quad \text{----- (1)}$$

の関係が成立する。いま、 $f_{ck} = 20 \text{ MHz}$ 、 $f_c = 20 \text{ KHz}$ とすると、 $N_c = 1000$ となる。すなわち、この例では、制御出力データの分解能は、 $1/1000$ であり、符号付きとして考えると $\pm 1/500$ にしかならないことになる。PWM信号の周波数 f_c は、制御出力の応答周波数より充分高く選定する必要があり、このため、PWM信号による制御出力データの分解能を向上させるには、クロックパルスの周波数 f_{ck} を高くする方法が用いられる。しかし、この方法は、PWMのために用いるカウンタ等の動作速度の制限により、使用可能なクロックパルスの周波数 f_{ck} にも上限がある。

と、該第1のPWM信号発生手段のPWM信号の発生周期より長い周期でPWMを行う第2のPWM信号発生手段とを備え、この第2のPWM信号に応じて第1のPWM信号のパルス幅比を、第2のPWM信号発生手段からの第2のPWM信号の分解能だけ変化させるようにすることにより達成される。

(作用)

第1のPWM信号発生手段は、PWM指令データの分解能より低い分解能で量子化された第1のPWM信号を発生する。これに対し、第2のPWM信号発生手段は、量子化データの剰余を第1のPWM信号発生手段の第1のPWM信号の周期の数倍の周期でPWM変調する。この第2のPWM信号発生手段による第2のPWM信号は、1量子化単位を更に高分解能化するための制御信号として利用される。第1のPWM信号発生手段からの第1のPWM信号は、前記第2のPWM信号発生手段の第2のPWM信号に基づいて、そのパルス幅が最小単位だけ変化せしめられる。これにより、

クロックパルスの周波数 f_{ck} を高くすることなく、PWM信号による制御出力データの高分解能化を図るための従来技術として、例えば、特開昭60-190029号公報等に記載された技術が知られている。この従来技術は、分解能の異なるPWM回路を組合わせて使用することにより、等価的に高分解能のPWM信号による制御出力データを得るものである。

(発明が解決しようとする問題点)

前記従来技術は、クロックパルスの周波数 f_{ck} を高くすることなく、PWM信号の分解能を高くすることができるという利点を有するが、2つのPWM回路を組合わせて用いるため、回路構成が複雑となるという問題点があつた。

本発明の目的は、簡単に安価な回路構成で高分解能のPWM信号を発生することが可能なパルス幅変調信号発生装置を提供することにある。

(問題点を解決するための手段)

本発明によれば、前記目的は、所望の周波数のPWM信号を発生する第1のPWM信号発生手段

第2のPWM信号発生手段からの第2のPWM信号の1周期の平均として見ると、PWM信号の等価的なパルス幅比は、前述の2つのPWM信号発生手段の発生するPWM信号の分解能の積として制御されることになり、高い分解能のPWM信号が出力される。この場合、PWM信号の周期は、第1のPWM信号発生手段による周期であり、この第1のPWM信号発生手段による第1のPWM信号は、低分解能でよいから、クロックパルスを高周波化することなく、高い分解能のPWM信号を発生することができる。

(実施例)

以下、本発明によるパルス幅変調信号発生装置の一実施例を図面により詳細に説明する。

第1図は本発明の一実施例の構成図、第2図はその動作を説明する波形図である。第1図において、1はクロックパルス発生器、2、4はカウンタ、3、5はディジタル比較器、6はD型フリップフロップ、7はNORゲートである。

本発明によるパルス幅変調信号発生装置の一実

施例は、第1図に示すように、クロックパルス発生器1と、該クロックパルス発生器1からのクロックパルスを一定周期で計数するカウンタ2と、該カウンタ2の計数値と設定される第1のPWM指令データD₁とを比較するデジタル比較器3とより成る第1のPWM信号発生手段、カウンタ2の出力パルスを計数し所定の周期毎にその計数値がリセットされるカウンタ4と、該カウンタ4の計数値と設定される第2のPWM指令データD₂とを比較するデジタル比較器5とより成る第2のPWM信号発生手段、第1のPWM信号発生手段から出力されるPWM信号に対し、クロックパルス1周期分の遅延を挿入するD型フリップフロップ6及び遅延挿入の有無を、第2のPWM信号発生手段から出力される第2のPWM信号によつて制御するNORゲート7により構成される。

次に、第1図に示すパルス幅変調信号発生装置の動作を第2図(A)～第2図(F)に示す動作波形図を参照して説明する。

カウンタ2は、クロックパルス発生器1からの

第2図(A)に示すようなクロックパルスCLKを計数する。その計数値C₂は、第2図(B)に示すように変化する。カウンタ2の計数周期T₂は、図示パルス幅変調信号発生装置からのPWM信号によつて制御される被制御装置に必要とされるPWM信号の発生周期に設定される。いま、カウンタ2が、クロックパルスCLKを0からN₂-1まで計数したとき、カウンタ2の計数周期T₂になるとすれば、これらとクロックパルス周期T_{clk}との関係は、次式で表わされる。

$$T_2 = N_2 \cdot T_{clk} \quad \dots\dots(1)$$

デジタル比較器3は、このカウンタ2の計数値C₂と第1のPWM指令データD₁とを比較し、第2図(C)に示すような第1のPWM信号S₁を発生する。この第1のPWM信号S₁の周波数f₁は、カウンタ2の計数周波数1/T₂と等しく、その分解能は、1/N₂である。この第1のPWM信号S₁の分解能は、必要とされる分解能より低い分解能でよく、第1のPWM指令データD₁は、必要とする分解能を有する指令データの

例えば上位複数ビットが用いられる。

一方、カウンタ4は、カウンタ2の1周期毎のパルスを計数し、その計数値C₄は、第2図(D)に示すように変化する。カウンタ4の計数周期T₄は、PWM指令データの変更タイミング周期に設定される。カウンタ4が、その計数値を0からN₄-1まで変化したとき、カウンタ4の計数周期T₄になるとすれば、計数周期T₄は、

$$T_4 = N_4 \cdot T_2 = N_4 \cdot N_2 \cdot T_{clk} \quad \dots\dots(2)$$

と表わされる。デジタル比較器5は、このカウンタ4の計数値C₄と第2のPWM指令データD₂とを比較し、第2図(E)に示すような第2のPWM信号S₂を発生する。この第2のPWM信号S₂は、周期T₄の期間の平均として1/N₄の分解能を有し、第1のPWM信号S₁の周期T₂の期間における等価的な分解能を向上させるための制御信号として用いられる。この場合の第2のPWM指令データD₂は、必要とする分解能を有する指令データの例えば下位の複数ビットが用いられる。すなわち、第1図に示すPWM信号発生装置

に与えられるトータルの高分解能のPWM指令データは、必要とする分解能より低い、予め設定された分解能のPWM信号を与えるための第1のPWM指令データD₁と、この第1のPWM指令データD₁によつて得られる第1のPWM信号を高分解能化するための剰余データとしての第2のPWM指令データD₂とに分離されて、デジタル比較器3、5に与えられる。

D型フリップフロップ6は、周波数f₁の第1のPWM信号S₁の立下り時点を1クロックパルス周期T_{clk}だけ遅延させるために用いられる。D型フリップフロップ6のD端子に入力される第1のPWM信号S₁の信号レベルは、CP端子に入力されるクロックパルスCLKの立上り時点でD型フリップフロップ6にラッチされ、1クロックパルス周期後、Q端子の信号レベルとして出力されるが、第1のPWM信号S₁が"1"レベルとなつたとき、直ちに、Q端子の出力を"1"に立上げるため、第1のPWM信号S₁は、D型フリップフロップのP端子にも接続されている。

第1のPWM信号 S_1 の立下り時点を1クロックパルス周期だけ遅延させるため、NORゲート7とD型フリップフロップ6のC端子を用い、1クロックパルス遅延の制御を第2のPWM信号 S_2 で行うことにより、第1のPWM信号 S_1 の分解能は、第2のPWM信号 S_2 の周期でさらに高分解能化される。いま、第2のPWM信号 S_2 の出力が 1 のとき、NORゲート7の出力は 0 となり、D型フリップフロップ6のC端子のクリア機能が働かず、第1のPWM信号 S_1 は、その立下りが1クロック遅延されてD型フリップフロップ6のQ端子より出力される。一方、第2のPWM信号 S_2 の出力が 0 のとき、第1のPWM信号 S_1 が 0 となれば、NORゲート7の出力は、直ちに 1 となつて、D型フリップフロップ6のC端子のクリア機能が働くため、第1のPWM信号 S_1 は、その立下りが1クロック遅延されることなく、そのままD型フリップフロップ6のQ端子より出力される。このように、第2のPWM信号 S_2 の信号により、第1のPWM信

号 S_1 のバース幅を1クロックパルス周期だけ変調することにより、周期 T_1 の平均として、第1のPWM信号 S_1 の分解能を更に $1/N_2$ だけ高分解能化することが可能である。この高分解能化されたPWM信号 S_1 は、D型フリップフロップ6のQ端子から第2図(F)に示すように得られる。

いま、第1のPWM信号 S_1 の分解能を $1/N_1$ 、第2のPWM信号 S_2 の分解能を $1/N_2$ とすると、最終的に得られるPWM信号 S_1 の分解能 $1/N_c$ は、次式で表わされる。

$$1/N_c = 1/(N_1 \cdot N_2) \quad \text{.....(3)}$$

また、このPWM信号 S_1 の周波数 f_c は、第1のPWM信号の周波数 f_1 に等しい。例えば、 $N_1 = 256$ 、 $f_1 = 20\text{ KHz}$ 、第2のPWM信号の周期 $T_2 = 1\mu\text{s}$ とすると、クロックパルス周波数 f_{ck} は、

$$f_{ck} = N_2 \cdot f_1 = 5\text{ MHz}$$

となり、また、第2のPWM信号の分解能 $1/N_2$ は、

$$1/N_2 = T_1/T_2 = 1/20$$

となる。周期 $T_2 (= 1\mu\text{s})$ の期間のPWM信号 S_2 の平均的な分解能 $1/N_c$ は、

$$1/N_c = 1/(N_1 \cdot N_2) = 1/5000$$

となり、クロックパルス周波数が 5 MHz とそれほど高い周波数ではないにもかかわらず、PWM信号 S_1 を高分解能化できる。しかも、このPWM信号 S_1 の周波数 f_c は、 20 KHz と充分に高く、例えば、このPWM信号 S_1 をRC回路のような簡単な平滑フィルタを用いてアナログ信号に変換する場合、フィルタのカットオフ周波数を 1 KHz 程度に設定すれば、PWM信号のリップル分をほぼ完全に除去したアナログ信号を得ることができる。このとき、 1 KHz 以下の信号成分は、減衰することなくアナログ値として得られるので、周期 $T_2 (= 1\mu\text{s})$ 間の平均として、高分解能であればよい信号情報は、充分に伝送可能である。

前述したように、第1図、第2図により説明した本発明の実施例によれば、高い周波数のクロッ

クパルスを用いなくても、比較的高い周波数のPWM信号を高分解能に制御できるので、モータ等のデジタル制御における速度指令回路、電流指令回路等を安価な回路で実現でき、その回路構成も低分解能のカウントを組合わせて実現でき、回路構成を簡略化できる。

第3図は本発明の第2の実施例の構成図、第4図はその動作を説明する波形図である。第3図において、8はマイクロプロセッサ、9はダウンカウンタ、10はフリップフロップであり、他の符号は第1図の場合と同一である。

第3図に示す第2の実施例は、第1図に示すカウンタ4に代り、ダウンカウンタ9が備えられた点、及びマイクロプロセッサ8、フリップフロップ10が追加された点で、第1図に示す実施例の構成と相違するが、その他の構成は同一である。

マイクロプロセッサ8は、第4図(A)に示す周期 T_1 の制御演算周期を持ち、この制御演算周期のタイミング毎に、第1図の実施例の場合と同一の第1及び第2のPWM指令信号 D_1 、 D_2 を発

生ずる。第1の指令信号により第1のPWM信号S₁を発生するクロックパルス発生器1、カウンタ2、デジタル比較器3より成る第1のPWM信号発生手段は、第1図の場合と全く同様に動作する。このときのカウンタ2の動作と第1のPWM信号S₁が第4図(B)、(C)に示されており、これは、第2図(B)、(C)の場合と同一である。

ダウンカウンタ9には、マイクロプロセッサ8から制御演算周期毎に第2のPWM指令データD₂がプリセットされ、ダウンカウンタ9は、その後カウンタ2の計数周期毎に、プリセットされた指令データのダウンカウントを行い、アンダーフローが生じたときにボロー信号を出力する。このダウンカウンタ9の計数の様子が第4図(D)に示されている。フリップフロップ10は、マイクロプロセッサ8の制御演算周期T_c毎にセットされ、ダウンカウンタ9からのボロー信号によりリセットされる動作を周期T_c毎に繰返すことにより、第2のPWM指令データD₂に基づいた第2のP

WM信号S₂を第4図(E)に示すように出力する。すなわち、第3図に示す本発明の第2の実施例は、ダウンカウンタ9とフリップフロップ10とにより第2のPWM信号発生手段が構成されている。

D型フリップフロップ6とNORゲート7とによる回路が、第2のPWM信号S₂に基づいて、第1のPWM信号S₁に対し、1クロックパルスの遅延を与える制御を実行し、第1のPWM信号S₁を高分解能化したPWM信号S₂を出力することは、第1図により説明した場合と全く同様であり、その出力のPWM信号S₂が第4図(F)に示されている。

この第2の実施例は、第4図の動作波形から明らかなように、第2のPWM信号S₂の周期T₂と、マイクロプロセッサ8のPWM指令周期、すなわち制御演算周期T_cとが一致しており、この1演算周期内の第1のPWM信号S₁を、第2のPWM信号S₂でパルス幅変調することにより、この1演算周期内で平均的に高分解能化したPW

M信号S₂を得ることができる。このときのPWM信号S₂の分解能1/N₂は、第1の実施例の場合と同様に、

$$1/N_2 = 1/(N_1 \cdot N_2)$$

である。ここで、1/N₁は第1のPWM信号の分解能、1/N₂は制御演算周期T_c内の第1のPWM信号数の逆数、すなわち、第2のPWM信号S₂の分解能である。また、第1のPWM信号S₁の周期をT₁とすれば、

$$1/N_2 = T_1/T_c$$

となる。従つて、例えば、T_c = 1ms、f₁ = 1/T₁ = 20KHzとすれば、N₂ = 20となる。第3図に示す本発明の実施例は、第1図に示す実施例の場合と同様に、第1のPWM信号S₁の周期T₁(=T_c)の間における平均的な分解能を更に20倍とすることができる。

前述した本発明の第2の実施例によれば、第2のPWM信号S₂の周期をマイクロプロセッサ8のPWM指令データ発生周期T_cに同期させることができるので、第2のPWM信号S₂の周期T₂

をPWM指令データ発生周期T_cまで長くすることができ、これにより、N₂ = T_c/T₁の値を大きくすることができるので、PWM信号S₂をより高分解能の信号にすることができる。

第5図は本発明の第3の実施例を示す構成図、第6図はその動作を説明する波形図である。第5図における符号は、第3図の場合と同一である。

第5図に示す本発明の第3の実施例は、ダウンカウンタ9のボロー信号をマイクロプロセッサ8に対する割込信号として用いるものであり、第3図に示すD型フリップフロップ6、NORゲート7及びフリップフロップ10の機能をマイクロプロセッサ8に行わせるように構成されている。第6図(A)、(B)、(C)、(E)に示すこの実施例の動作波形は、第4図(A)、(B)、(C)、(F)に示す動作波形と同一であり、第6図(D)に示す割込信号INTは、ダウンカウンタ9がアンダーフローしたときのボロー信号である。

この実施例におけるマイクロプロセッサ8は、ダウンカウンタ9のボロー信号による割込信号I

NTにより、第1のPWM信号に対する第1の指令データD₁を変化させて設定することにより、前述した第1、第2の実施例において、ハードウェアにより行っていた、第1のPWM信号の立下り時の1クロックパルスの遅延制御を、ソフトウェア処理で実行するものである。

すなわち、マイクロプロセッサ8は、マイクロプロセッサ8の指令周期T_c毎に第1及び第2のPWM指令データD₁、D₂を演算出力する。このとき、第1のPWM信号発生手段に対する第1のPWM指令データの設定値(第5図の場合、デジタル比較器3への設定値)は、第1のPWM指令データD₁に+1加算をした値を用い、第2のPWM信号発生用のダウンカウンタ9には、第2のPWM指令データD₂をそのまま設定する。ダウンカウンタ9が設定値D₂をダウンカウントし、ボロー信号を出力すると、そのボロー信号は、マイクロプロセッサ8に対する割込信号INTとしてマイクロプロセッサ8に与えられる。マイクロプロセッサ8は、この割込信号INTが与えられ

ると、第1のPWM指令信号を最初の設定値から1だけ減算した値、すなわちD₁として再設定する。これにより、デジタル比較器3は、マイクロプロセッサ8の制御演算周期すなわち指令周期T_c内で高分解能化されたPWM信号S₁を直接出力する。

前述した本発明の第3の実施例によれば、遅延回路をハードウェアで構成する必要がなく、より簡単な回路構成で、高分解能のPWM信号を発生することができる。

前述の第1～第3の本発明の実施例は、PWM信号発生回路をデジタル比較器により構成しているが、本発明におけるPWM信号発生回路は、このような回路構成に限定される必要はなく、例えば、カウンタを用いた構成のもの等、どのような回路構成のものであつてもよい。

〔発明の効果〕

以上説明したように、本発明によれば、比較的低分解能のPWM信号発生手段の分解能を、PWM指令データ発生周期内で更にパルス幅変調する

ことにより、高い周波数のクロックパルスや長いビット長のカウンタを用いることなく、高い周波数で高分解能のPWM信号を発生することが可能となる。このため、本発明によれば、モータ等のデジタルサーボ系におけるデータ指令回路のように、フォトカプラ等を用いた絶縁を行うためにPWM信号による指令が不可欠な応用技術では、特に適した装置を提供することができる。また、本発明は、回路構成が簡単であるため、ロボットのサーボ系等のような多軸のサーボアンプに対する速度や電流指令回路としても適している。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成図、第2図はその動作を説明する波形図、第3図は本発明の第2の実施例の構成図、第4図はその動作を説明する波形図、第5図は本発明の第3の実施例の構成図、第6図はその動作を説明する波形図である。

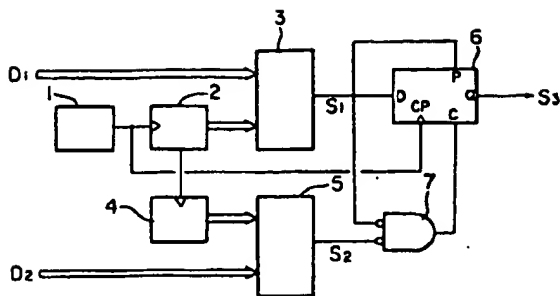
1……クロックパルス発生器、2、4……カウンタ、3、5……デジタル比較器、6……D型フリップフロップ、7……NORゲート、8……

マイクロプロセッサ、9……ダウンカウンタ、10……フリップフロップ。

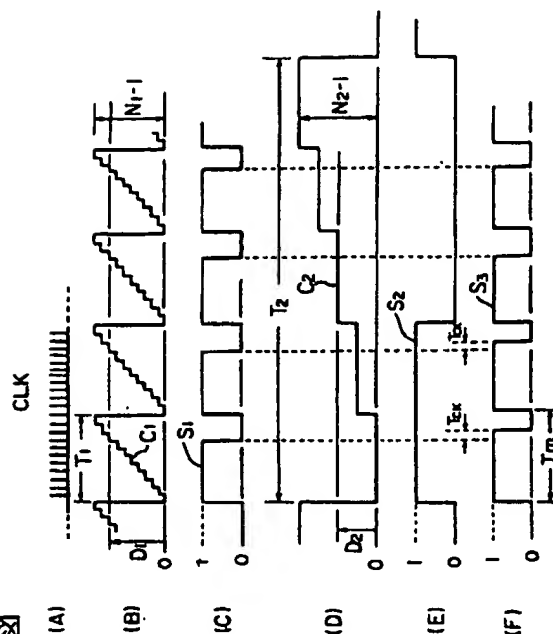
代理人 弁理士 武 顕次郎(外1名)



第 1 図

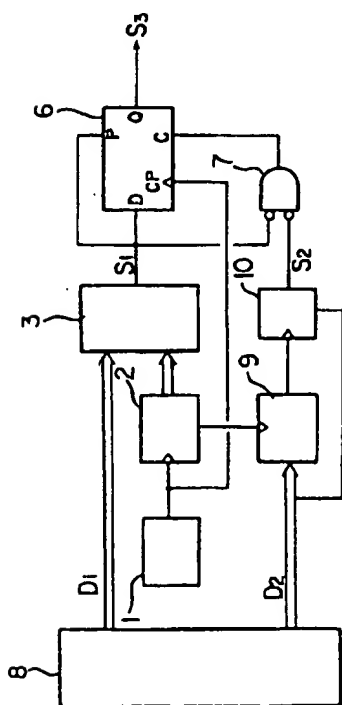


- 1 クロックパルス発生器
- 2 カウンタ
- 3 デジタル比較器
- 4 カウンタ
- 5 デジタル比較器
- 6 D型フリップフロップ
- 7 NOR ゲート



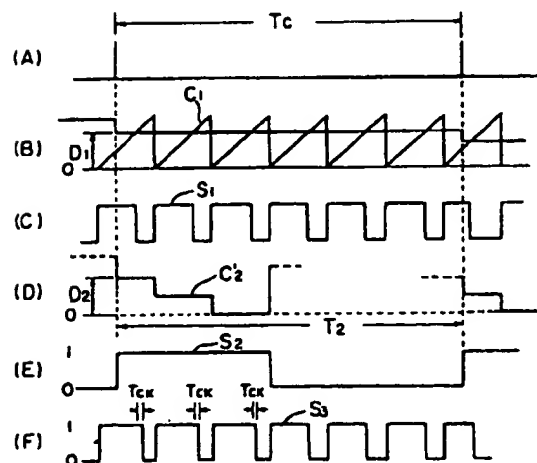
第 2 図

第 3 図

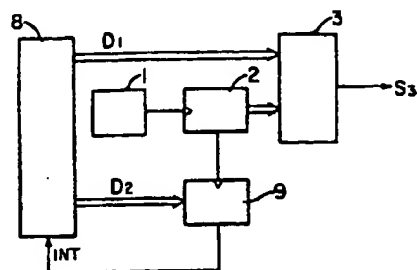


- 8 マイクロプロセッサ
- 9 カウンタ

第 4 図



第 5 図



第 6 図

